



PATENT APPLICATION

a2  
03-19-02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In reply, the Application of:

Shuhei KATO

Group Art Unit: 2121

Application No.: 09/978,013

Examiner: Unknown

Filed: October 17, 2001

Attorney Dkt. No.: 100341-00016

For: INFORMATION PROCESSING APPARATUS AND MEMORY CARTRIDGE  
SYSTEM

**CLAIM FOR PRIORITY**

Commissioner for Patents  
Washington, D.C. 20231

March 13, 2002

Sir:

The benefit of the filing dates of the following prior foreign application in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2000-318944 filed on October 19, 2000

In support of this claim, certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,

Charles M. Marmelstein  
Registration No. 25,895

Customer No. 004372  
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC  
1050 Connecticut Avenue, N.W.,  
Suite 400  
Washington, D.C. 20036-5339  
Tel: (202) 857-6000  
Fax: (202) 638-4810  
CMM:baw

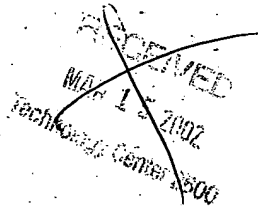
RECEIVED

MAR 15 2002

Technology Center 2100



日本国特許庁  
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application:

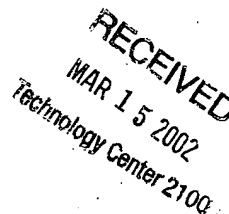
2000年10月19日

出願番号  
Application Number:

特願2000-318944

出願人  
Applicant(s):

新世代株式会社

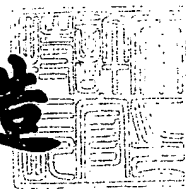


CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年11月 2日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 00J19P2376

【提出日】 平成12年10月19日

【あて先】 特許庁長官殿

【国際特許分類】 H02H 3/00

【発明者】

    【住所又は居所】 滋賀県草津市野路町 1 7 3 4 番 3 号 新世代株式会社内

    【氏名】 加藤 周平

【特許出願人】

    【識別番号】 396025861

    【氏名又は名称】 新世代株式会社

【代理人】

    【識別番号】 100090181

    【弁理士】

    【氏名又は名称】 山田 義人

【手数料の表示】

    【予納台帳番号】 014812

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理装置およびメモ리카ートリッジシステム

【特許請求の範囲】

【請求項 1】

プログラムメモリを有するメモ리카ートリッジの装着時に前記プログラムメモリに接続されるシステムバス、および

前記システムバスに接続されるかつ前記プログラムメモリに記憶されたプログラムを処理するプロセサを備える情報処理装置において、

前記プロセサの異常を検出する検出手段、および

前記異常が検出されたとき前記プロセサへの電源の供給を停止する停止手段をさらに備えることを特徴とする、情報処理装置。

【請求項 2】

前記プロセサは前記プログラムに基づいてパルス信号を発生し、

前記検出手段は前記パルス信号に応答して充放電を繰り返す充放電手段を含み

前記停止手段は前記充放電手段の充電電圧が所定条件を満たさないとき前記電源の供給を停止する、請求項 1 記載の情報処理装置。

【請求項 3】

前記パルス信号はレベルが所定期間毎にローレベルとハイレベルとの間で変化する信号であり、

前記充放電手段は、前記パルス信号が前記ローレベルのとき電荷を放電し、前記パルス信号が前記ハイレベルのとき前記電荷を充電する第 1 キャパシタ、および前記パルス信号が前記ローレベルのとき前記電荷を充電し、前記パルス信号が前記ハイレベルのとき前記電荷を放電する第 2 キャパシタを含み、

前記停止手段は前記第 1 キャパシタおよび前記第 2 キャパシタの少なくとも一方の充電電圧が所定値を超えたとき前記電源の供給を停止する、請求項 2 記載の情報処理装置。

【請求項 4】

前記プロセサのリセットを指示する指示手段、および

前記指示手段の指示に応答して有効化されるかつ前記充放電手段に充電された電荷を放電する放電経路をさらに備える、請求項 1 ないし 3 のいずれかに記載の情報処理装置。

【請求項 5】

プログラムメモリを有するメモリカートリッジ、および

前記メモリカートリッジの装着時に前記プログラムメモリと接続されるかつ前記プログラムメモリに記憶されたプログラムを処理するプロセサを備えるメモリカートリッジシステムにおいて、

パルス信号に応答して充放電を繰り返すキャパシタ、および

前記キャパシタの充電電圧が所定条件を満たさないとき前記プロセサへの電源の供給を停止する停止手段をさらに備え、

前記プログラムは、前記パルス信号のレベルを所定期間毎に変化させて前記キャパシタの充電電圧を前記所定条件内で維持するレベル制御プログラムを含むことを特徴とする、メモリカートリッジシステム。

【請求項 6】

キャパシタの充電電圧が所定条件を満たさないときプロセサへの電源の供給を停止する情報処理装置に着脱自在に装着されるかつ前記プロセサに実行させるプログラムを記憶するメモリカートリッジであって、

前記プログラムは、前記キャパシタを所定期間毎に充放電させて前記キャパシタの充電電圧を前記所定条件内で維持するキャパシタ制御プログラムを含む、メモリカートリッジ。

【請求項 7】

プログラムメモリを有するメモリカートリッジの装着時に前記プログラムメモリに接続されるシステムバス、および

前記システムバスに接続されるかつ前記プログラムメモリに記憶されたゲームプログラムを処理するプロセサを備える家庭用ゲーム装置において、

前記プロセサの異常を検出する検出手段、および

前記異常が検出されたとき前記プロセサへの電源の供給を停止する停止手段をさらに備えることを特徴とする、家庭用ゲーム装置。

【請求項 8】

プログラムメモリを有するメモリカートリッジの装着時に前記プログラムメモリに接続されるシステムバス、および

前記システムバスに接続されるかつ前記プログラムメモリに記憶されたカラオケプログラムを処理するプロセサを備える家庭用カラオケ装置において、

前記プロセサの異常を検出する検出手段、および

前記異常が検出されたとき前記プロセサへの電源の供給を停止する停止手段をさらに備えることを特徴とする、家庭用カラオケ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

この発明は、情報処理装置またはメモリカートリッジシステムに関し、たとえば、家庭用ゲーム装置または家庭用カラオケ装置に適用され、メモリカートリッジが装着されたとき、当該メモリカートリッジに記憶されたプログラムを処理する、情報処理装置またはメモリカートリッジシステムに関する。

【0002】

この発明はまた、このような情報処理装置またはメモリカートリッジシステムに適用される、メモリカートリッジに関する。

【0003】

【従来技術】

従来の情報処理装置としては、プロセサの暴走によるトラブルを防止するために、いわゆるウォッチドッグタイマを設け、異常が検出されると直ちにプロセサをリセットするものがあった。

【0004】

【発明が解決しようとする課題】

しかし、従来技術では、プロセサがリセットされるだけで電源は投入されままであるため、リセットの後、プロセサは再起動されていた。このため、着脱自在なメモリカートリッジに記憶されたプログラムを処理するような情報処理装置では、メモリカートリッジの抜き取りによるプロセサの暴走時に内部メモリのデ

ータが破壊されるおそれがあった。

【0005】

つまり、暴走時にプロセサをリセットしても、メモ리카ートリッジは抜き取られたままであるため、プロセサはリセット後の再起動によって再び暴走してしまう。すると、プロセサはリセットおよび暴走を繰り返してしまい、情報処理装置内部の書き換え可能な不揮発性メモリまたは電源バックアップのメモリに格納されたデータが、暴走時の異常処理によって破壊されてしまう。

【0006】

それゆえに、この発明の主たる目的は、プロセサの暴走によってデータが破壊されるのを防止することができる、情報処理装置を提供することである。

【0007】

この発明の他の目的は、プロセサの暴走によってデータが破壊されるのを防止することができる、メモ리카ートリッジシステムを提供することである。

【0008】

この発明のその他の目的は、プロセサの暴走によってデータが破壊されるのを防止することができる、メモ리카ートリッジを提供することである。

【0009】

この発明のさらにその他の目的は、プロセサの暴走によってデータが破壊されるのを防止することができる、家庭用ゲーム装置を提供することである。

【0010】

この発明の他の目的は、プロセサの暴走によってデータが破壊されるのを防止することができる、家庭用カラオケ装置を提供することである。

【0011】

【課題を解決するための手段】

第1の発明は、プログラムメモリを有するメモ리카ートリッジの装着時にプログラムメモリに接続されるシステムバス、およびシステムバスに接続されるかつプログラムメモリに記憶されたプログラムを処理するプロセサを備える情報処理装置において、プロセサの異常を検出する検出手段、および異常が検出されたときプロセサへの電源の供給を停止する停止手段をさらに備えることを特徴とする

、情報処理装置である。

【 0 0 1 2 】

第2の発明は、プログラムメモリを有するメモリカートリッジ、およびメモリカートリッジの装着時にプログラムメモリと接続されるかつプログラムメモリに記憶されたプログラムを処理するプロセサを備えるメモリカートリッジシステムにおいて、パルス信号に応答して充放電を繰り返すキャパシタ、およびキャパシタの充電電圧が所定条件を満たさないときプロセサへの電源の供給を停止する停止手段をさらに備え、プログラムは、パルス信号のレベルを所定期間毎に変化させてキャパシタの充電電圧を所定条件内で維持するレベル制御プログラムを含むことを特徴とする、メモリカートリッジシステムである。

【 0 0 1 3 】

第3の発明は、キャパシタの充電電圧が所定条件を満たさないときプロセサへの電源の供給を停止する情報処理装置に着脱自在に装着されるかつプロセサに実行させるプログラムを記憶するメモリカートリッジであって、プログラムは、キャパシタを所定期間毎に充放電させてキャパシタの充電電圧を所定条件内で維持するキャパシタ制御プログラムを含む、メモリカートリッジである。

【 0 0 1 4 】

第4の発明は、プログラムメモリを有するメモリカートリッジの装着時にプログラムメモリに接続されるシステムバス、およびシステムバスに接続されるかつプログラムメモリに記憶されたゲームプログラムを処理するプロセサを備える家庭用ゲーム装置において、プロセサの異常を検出する検出手段、および異常が検出されたときプロセサへの電源の供給を停止する停止手段をさらに備えることを特徴とする、家庭用ゲーム装置である。

【 0 0 1 5 】

第5の発明は、プログラムメモリを有するメモリカートリッジの装着時にプログラムメモリに接続されるシステムバス、およびシステムバスに接続されるかつプログラムメモリに記憶されたカラオケプログラムを処理するプロセサを備える家庭用カラオケ装置において、プロセサの異常を検出する検出手段、および異常が検出されたときプロセサへの電源の供給を停止する停止手段をさらに備えるこ



とを特徴とする、家庭用カラオケ装置である。

【0016】

【作用】

第1の発明においては、メモ리카ートリッジが装着されると、メモ리카ートリッジ内のプログラムメモリがシステムバスを介してプロセサと接続される。プログラムメモリに記憶されたプログラムは、プロセサによって処理される。処理の途中でプロセサの異常が検出手段によって検出されると、停止手段がプロセサへの電源の供給を停止する。プロセサへの電源の供給が停止されることで、プログラムの処理もまた停止される。

【0017】

プロセサがプログラムに基づいてパルス信号を発生し、検出手段に含まれる充放電手段がパルス信号に応答して充放電を繰り返す場合、停止手段は、充放電手段の充電電圧が所定条件を満たさないとき電源の供給を停止する。

【0018】

好ましくは、パルス信号は、レベルが所定期間毎にローレベルとハイレベルとの間で変化する信号であり、充放電手段は、第1キャパシタおよび第2キャパシタを含む。第1キャパシタは、パルス信号がローレベルのとき電荷を放電し、パルス信号がハイレベルのとき電荷を充電する。一方、第2キャパシタは、パルス信号がローレベルのとき電荷を充電し、パルス信号がハイレベルのとき電荷を放電する。そして、停止手段は、第1キャパシタおよび第2キャパシタの少なくとも一方の充電電圧が所定値を超えたとき、プロセサへの電源の供給を停止する。

【0019】

指示手段によってプロセサのリセットを指示する場合、放電経路は、この指示に応答して有効化され、充放電手段に充電された電荷を放電する。

【0020】

第2の発明においては、メモ리카ートリッジが装着されると、メモ리카ートリッジのプログラムメモリがプロセサと接続され、プログラムメモリに記憶されたプログラムがプロセサによって処理される。処理されるプログラムには、パルス信号のレベルを所定期間毎に変化させるレベル制御プログラムが含まれる。キャ

パシタは、レベル制御プログラムによってレベル制御されたパルス信号に応答して充放電を繰り返す。キャパシタの充電電圧が所定条件を満たさなくなると、プロセサへの電源の供給が停止手段によって停止される。つまり、プロセサの異常によってパルス信号が適切にレベル制御されなくなると、キャパシタの充電電圧が所定条件を満たさなくなり、この結果、プロセサへの電源の供給が停止される。

#### 【 0 0 2 1 】

第 3 の発明においては、情報処理装置は、キャパシタの充電電圧が所定条件を満たさないとき、プロセサへの電源の供給を停止する。メモ리카ートリッジは、このような情報処理装置に着脱自在に装着され、装着時にプロセサにプログラムを実行させる。このプログラムには、キャパシタを所定期間毎に充放電させるキャパシタ制御プログラムが含まれる。プロセサの異常によってキャパシタ制御プログラムが適切に処理されず、キャパシタの充電電圧が所定条件を満たさなくなると、プロセサへの電源の供給が停止される。

#### 【 0 0 2 2 】

第 4 の発明においては、メモ리카ートリッジが装着されると、メモ리카ートリッジ内のプログラムメモリがシステムバスを介してプロセサと接続される。プログラムメモリに記憶されたゲームプログラムは、プロセサによって処理される。処理の途中でプロセサの異常は検出手段によって検出されると、停止手段がプロセサへの電源の供給を停止する。

#### 【 0 0 2 3 】

第 5 の発明においては、メモ리카ートリッジが装着されると、メモ리카ートリッジ内のプログラムメモリがシステムバスを介してプロセサと接続される。プログラムメモリに記憶されたカラオケプログラムは、プロセサによって処理される。処理の途中でプロセサの異常は検出手段によって検出されると、停止手段がプロセサへの電源の供給を停止する。

#### 【 0 0 2 4 】

##### 【発明の効果】

これらの発明によれば、プロセサの異常が検出されるか、プロセサの異常によ

ってキャパシタの充電電圧が所定条件を満たさなくなると、プロセサへの電源の供給が停止される。つまり、プロセサがリセットされるのではなく、電源の供給が停止される。このため、メモ리카ートリッジの抜き取りによってプロセサに異常が生じたとき、プロセサに格納されているあるいはプロセサに接続されたままのメモリのデータが破壊されることはない。

## 【 0 0 2 5 】

この発明の上述の目的、その他の目的、特徴および利点は、図面を参照して行う以下の実施例の詳細な説明から一層明らかとなろう。

## 【 0 0 2 6 】

## 【実施例】

図 1 を参照して、この実施例の家庭用ゲーム装置 1 0 は、ゲームプログラムを処理する高速プロセサ 1 2 を含む。高速プロセサ 1 2 は、システムバス 1 4 を介して、本体に内蔵された ROM 1 6 ならびにメモ리카ートリッジ 1 8 に内蔵された ROM 2 0 に接続される。メモ리카ートリッジ 1 8 は着脱自在であり、ROM 2 0 は、メモ리카ートリッジ 1 8 が家庭用ゲーム装置 1 0 に装着されたときだけシステムバス 1 4 と接続される。なお、ROM 2 0 にはゲームプログラムが記憶されており、ROM 1 6 には効果音やゲーム画像を生成するための音声データおよび映像データが記憶されている。

## 【 0 0 2 7 】

メモ리카ートリッジ 1 8 が装着された状態で電源スイッチ 3 6 がオンされると、対応するキー入力信号がキー入力装置 2 2 から電源制御回路 2 4 に与えられる。すると、電源制御回路 2 4 は、バッテリー 2 8 または AC / DC コンバータ 2 6 から出力された直流電圧に基づいて、安定化された 3 . 3 V の定電圧を生成する。これによって、高速プロセサ 1 2 を含むシステム全体が起動する。高速プロセサ 1 2 は、ゲームキー 3 8 の操作に対応するキー入力信号をキー入力装置 2 2 から取り込み、ROM 2 0 に記憶されたゲームプログラムを処理する。そして、ROM 1 6 に記憶された音声データまたは映像データに基づいて、効果音データやゲーム画像データを生成する。生成された効果音データおよびゲーム画像データは、音声出力端子 3 2 および映像出力端子 3 4 から外部に出力される。なお、S

RAM 1 2 a はバッテリー 2 8 によってバックアップされた内部メモリであり、このメモリにはゲームプログラムの処理によって生成されたデータ（たとえば獲得アイテム情報）が格納される。

## 【 0 0 2 8 】

リセットキー 4 0 が操作されると、対応するキー入力信号がキー入力装置 2 2 からリセット回路 3 0 のスイッチ SW 1 に与えられ、スイッチ SW 1 はオフ状態からオン状態に移行する。スイッチ SW 1 がオフ状態のときは、電源 V c c から抵抗 R 1 を介して供給された電荷がキャパシタ C 1 に蓄積され、キャパシタ C 1 の端子電圧は所定値を示す。一方、スイッチ SW 1 がオン状態となると、キャパシタ C 1 の端子電圧は基準電位（0 V）まで低下する。高速プロセサ 1 2 は、キャパシタ C 1 の端子電圧をリセット端子から取り込み、端子電圧が所定値であれば処理を継続するが、端子電圧が基準電位まで低下すると処理をリセットする。リセットによって、ゲームプログラムの処理は先頭から再開される。

## 【 0 0 2 9 】

ゲームプログラムには、所定期間おきの割り込みに応答して処理される電源制御ルーチンが含まれており、高速プロセサ 1 2 は、この電源制御ルーチンに基づいて制御パルスを出力ポートから出力する。電源制御回路 2 4 は、制御パルスが正しく出力される限り電力の供給を継続するが、高速プロセサ 1 2 の異常によって電源制御ルーチンが適切に処理されず、制御パルスが正常に出力されなくなると、電源の供給を停止する。電源の供給が停止されることで、高速プロセサ 1 2 を含むシステム全体がオフ状態となる。

## 【 0 0 3 0 】

なお、上述のリセットの期間中は、電源制御回路 2 4 に含まれる後述の電源オン／オフ回路 2 4 b は動作しない。つまり、電源制御回路 2 4 は、リセット操作によって電力の供給を停止することはない。

## 【 0 0 3 1 】

電源制御回路 2 4 は、具体的には図 2 に示すように構成される。バッテリー 2 8 または AC / DC コンバータ 2 6 から出力された直流電圧は、プラス入力端子 S 1 に印加される。マイナス入力端子 S 2 は基準電位面に接続され、プラス入力端

子S1はキャパシタC2を介して基準電位面と接続されるとともに、電源スイッチに連動するスイッチSW2を介して抵抗R3の一方端と接続される。抵抗R3の他方端はダイオードD1のアノードと接続され、ダイオードD1のカソードはダイオードD2のカソードおよび抵抗R4の一方端と接続される。ダイオードD2のアノードは出力電圧制御回路24aを形成するトランジスタT3のコレクタと接続され、抵抗R4の他方端は、アノードが基準電位面と接続されたツェナーダイオードZDのカソード、出力電圧制御回路24aを形成するトランジスタT2のベースおよび電源オン／オフ制御回路24bを形成するトランジスタT5のコレクタと接続される。

## 【0032】

トランジスタT2およびT3のエミッタは、抵抗R5を介して基準電位面と接続され、トランジスタT2およびT3のコレクタは、トランジスタT1のベースおよびコレクタとそれぞれ接続される。また、トランジスタT3のベースは、抵抗R7を介して基準電位面と接続されるとともに、抵抗R6を介してトランジスタT1のコレクタと接続される。トランジスタT1のエミッタはプラス入力端子S1と接続され、トランジスタT1のコレクタはプラス出力端子S3と接続され、そしてトランジスタT1のベース・エミッタ間には抵抗R2が介挿される。プラス出力端子S3はキャパシタC3を介して基準電位面と接続され、マイナス出力端子S4は直接的に基準電位面と接続される。

## 【0033】

トランジスタT5のエミッタは基準電位面と接続され、トランジスタT5のベースはトランジスタT4のコレクタと接続される。トランジスタT4のベースはトランジスタT5のコレクタと接続され、トランジスタT4のエミッタはチャージポンプ回路24cを形成する抵抗R10の一方端と接続される。トランジスタT4のエミッタは、リセット回路30を形成するキャパシタC1および抵抗R1の接続点にも接続される。

## 【0034】

抵抗R10の他方端は、キャパシタC5を介して基準電位面と接続されるとともに、抵抗R9を介して電源Vccと接続される。ここで、電源Vccは、プラ

ス出力端子 S 3 から供給される安定化された定電圧電源である。抵抗 R 1 0 の他方端はダイオード D 4 のアノードとも接続され、ダイオード D 4 のカソードは、ダイオード D 3 のアノードおよびキャパシタ C 4 の一方端と接続される。ダイオード D 4 のカソードは電源 V c c と接続され、キャパシタ C 4 の他方端は抵抗 R 8 を介して高速プロセサ 1 8 の出力ポートと接続される。

## 【 0 0 3 5 】

高速プロセサ 1 2 は、図 3 に示す電源制御ルーチンを所定期間毎の割り込みに応答して実行する。まずステップ S 1 でカウンタ（図示せず）のカウント値を検出し、検出したカウント値が所定値に等しいかどうかをステップ S 3 で判別する。ここでカウント値 < 所定値であれば、ステップ S 1 5 でカウント値をインクリメントしてからメインルーチンに復帰する。一方、カウント値 = 所定値であれば、ステップ S 5 でカウント値をリセットしてからステップ S 7 で出力ポートの現在のステータスを検出し、続くステップ S 9 で検出ステータスを判別する。そして、検出ステータスがハイレベルであれば、ステップ S 1 1 で出力ポートのステータスをローレベルに変更してからステップ S 1 5 に進むが、検出ステータスがローレベルであれば、ステップ S 1 3 で出力ポートのステータスをローレベルに変更してからステップ S 1 5 に進む。ステップ S 1 5 では、上述のようにカウント値をインクリメントし、この処理を終えるとメインルーチンに復帰する。このような処理が行なわれることで、所定期間毎にレベルが切り換わる制御パルスが、出力ポートから出力される。

## 【 0 0 3 6 】

電源スイッチ 3 6 がオンされると、これに連動して図 2 に示すスイッチ S W 2 がオンされる。このときツェナーダイオード Z D のカソードに印加される直流電圧はツェナー電圧よりも高く、プラス入力端子 S 1 に印加された直流電圧に基づく直流電流は、スイッチ S W 2，抵抗 R 3，ダイオード D 1，抵抗 R 4 およびツェナーダイオード Z D を経て基準電位面に流れ込む。トランジスタ T 2 のベースにはツェナー電圧つまり定電圧が印加され、これによってトランジスタ T 2 および T 1 がオンされる。トランジスタ T 1 のコレクタ電圧は抵抗 R 6 および R 7 によって分圧され、抵抗 R 7 の端子電圧によってトランジスタ T 3 がオンされる。

## 【 0 0 3 7 】

トランジスタ T 2 および T 3 を導通する電流量は、各々のベースに印加された直流電圧によって規定される。トランジスタ T 1 のコレクタからの出力電圧が 3 . 3 V を超えると、抵抗 R 6 および R 7 からなる分圧回路によって生成され、トランジスタ T 3 のベースに印加されている電圧が、規定値を超える。これによって、トランジスタ T 3 のコレクタ・エミッタ間に流れる電流が増大し、抵抗 R 5 の両端に発生する電位差が大きくなる。トランジスタ T 2 のベースに印加されている電圧はツェナーダイオード Z D によって一定に保たれているので、トランジスタ T 2 のベース・エミッタ間に流れる電流が減少する。

## 【 0 0 3 8 】

これによって、トランジスタ T 2 のコレクタ・エミッタ間に流れる電流が減少し、またトランジスタ T 1 のエミッタ・コレクタ間に流れる電流も減少する。したがって、トランジスタ T 1 のコレクタから出力される電圧も減少する。同様に、トランジスタ T 1 のコレクタからの出力電圧が 3 . 3 V を下回ると、この出力電圧制御回路 2 4 a は、トランジスタ T 1 のコレクタから出力される電圧を増大させる方向に働く。このようにして、出力端子 S 3 - S 4 間では 3 . 3 V の定電圧が維持される。

## 【 0 0 3 9 】

なお、キャパシタ C 2 および C 3 は、それぞれ非安定化電源入力および安定化電源出力の電圧を平滑化するものである。

## 【 0 0 4 0 】

高速プロセッサ 1 2 は、電源スイッチ 3 6 の投入に応答して上述の電源制御ルーチンを実行し、所定期間おきにレベルが変化する制御パルスを出力ポートから出力する。制御パルスがローレベルのときは、電源 V c c に基づいてキャパシタ C 5 に充電された電荷が放電され、ダイオード D 4 を介してキャパシタ C 4 に充電される。制御パルスがローレベルからハイレベルに変化すると、抵抗 R 9 を経た電荷がキャパシタ C 5 に充電されるとともに、キャパシタ C 4 に充電された電荷がダイオード D 3 を経て電源 V c c に向けて放電される。制御パルスがレベル変化を繰り返す間は、電荷は以上のような充放電を繰り返し、トランジスタ T 4 の

エミッタと基準電位面との間の電位差  $V_c$  が所定の閾値を超えることはない。

【0041】

しかし、高速プロセサ12の異常によって電源制御ルーチンが適切に処理されず、制御パルスがローレベルまたはハイレベルを取り続けると、上述の電位差  $V_c$  が閾値を超えてしまう。つまり、制御パルスがローレベルを維持すると、キャパシタC4およびC5が平衡状態に達した後は、キャパシタC5およびC4の両方が充電され、電位差  $V_c$  は数1に従って上昇する。これによって、電位差  $V_c$  が閾値を超える。

【0042】

【数1】

$$V_c = e^{-t/((C4+C5) \cdot R9)}$$

一方、制御パルスがハイレベルを維持したときは、キャパシタC5の充電が継続され、電位差  $V_c$  は数2に従って上昇する。これによって、電位差  $V_c$  が閾値を超える。

【0043】

【数2】

$$V_c = e^{-t/(C4 \cdot R9)}$$

所定の閾値は、ツェナー電圧  $V_{ZD}$  およびトランジスタT4のベース・エミッタ間電圧  $V_{BE}$  の和 ( $V_{ZD} + V_{BE}$ ) に相当する。電位差  $V_c$  がこの閾値を超えると、トランジスタT4がオンし、さらにはトランジスタT5がオンする。すると、抵抗R4を経た直流電流は、ツェナーダイオードZDの代わりにトランジスタT5を導通し、ツェナーダイオードZDは定常状態に戻る。トランジスタT5がオンされるとトランジスタT1～T3はオフされ、プラス出力端子S3からの安定化電圧の出力が停止される。これによって、高速プロセサ12を含むシステム全体がオフされる。

【0044】

高速プロセサ12が電源制御ルーチンを適切に実行しているときにリセットキー40が操作されると、これに連動してスイッチSW1がオンされる。すると、抵抗R10の一方端が基準電位面に接続され、キャパシタC5の電荷はスイッチ



SW1を介して基準電位面に放電される。このため、リセットキー40が押された後、電位差 $V_c$ が閾値を超えることはなく、プラス出力端子S3からの安定化電圧の出力が停止されることもない。高速プロセサ12は、リセットの後、ゲームプログラムの処理を再開する。

## 【0045】

以上の説明から分かるように、メモ리카ートリッジ18が装着されると、ROM20がシステムバス14を介して高速プロセサ12と接続される。ROM20に記憶されたプログラムは、高速プロセサ12によって処理される。処理の途中で高速プロセサ12が暴走すると、チャージポンプ回路24cを形成する抵抗R10の一方端と基準電位面の間の電位差 $V_c$ が上昇し、これによってトランジスタT4およびT5がオンされる。すると、トランジスタT2ひいてはトランジスタT1がオフされ、これによって高速プロセサ12を含むシステム全体への電源の供給が停止される。高速プロセサ12への電源の供給が停止されることで、プログラムの処理もまた停止される。

## 【0046】

高速プロセサ12によって処理されるプログラムには、電源制御ルーチン（キャパシタ制御プログラム）が含まれる。この電源制御ルーチンによって、所定期間毎にレベルが変化する制御パルスが高速プロセサ12の出力ポートから出力される。キャパシタC4およびC5は、このような制御パルスに応答して充放電を繰り返す。高速プロセサ12が暴走することで制御パルスがハイレベルまたはローレベルに安定すると、キャパシタC5への充電が継続され、これによって上述の電位差が上昇する。これによって、電位差 $V_c$ が所定値を超えると高速プロセサ12を含むシステム全体への電源の供給が停止される。

## 【0047】

このように、高速プロセサ12に異常が生じると高速プロセサ12への電源の供給を停止するようにしたため、メモ리카ートリッジ18の抜き取りによって高速プロセサ12が暴走したような場合に、SRAM12aのデータが破壊されることはない。

## 【0048】

なお、この実施例では、家庭用ゲーム装置を用いて説明したが、この発明は、家庭用カラオケ装置にも適用できる。この場合、本体に内蔵されたROM 16には、カラオケ音楽データ（基本音源）およびカラオケ画像データ（タイトル画面、基本背景画面）が記憶され、メモ리카ートリッジに内蔵されたROM 20には、カラオケプログラム（音楽再生制御用、映像再生制御用）および複数曲分の楽譜データが記憶される。また、ゲームキー 38の代わりに曲番切換キーが設けられる。オペレータが曲番切換キーを操作すれば、所望の楽曲の音声データが音声出力端子 32から出力され、歌詞を含む映像データが映像出力端子 34から出力される。

【図面の簡単な説明】

【図 1】

この発明の一実施例を示すブロック図である。

【図 2】

電源制御回路の構成を示す回路図である。

【図 3】

電源制御ルーチンを示すフロー図である。

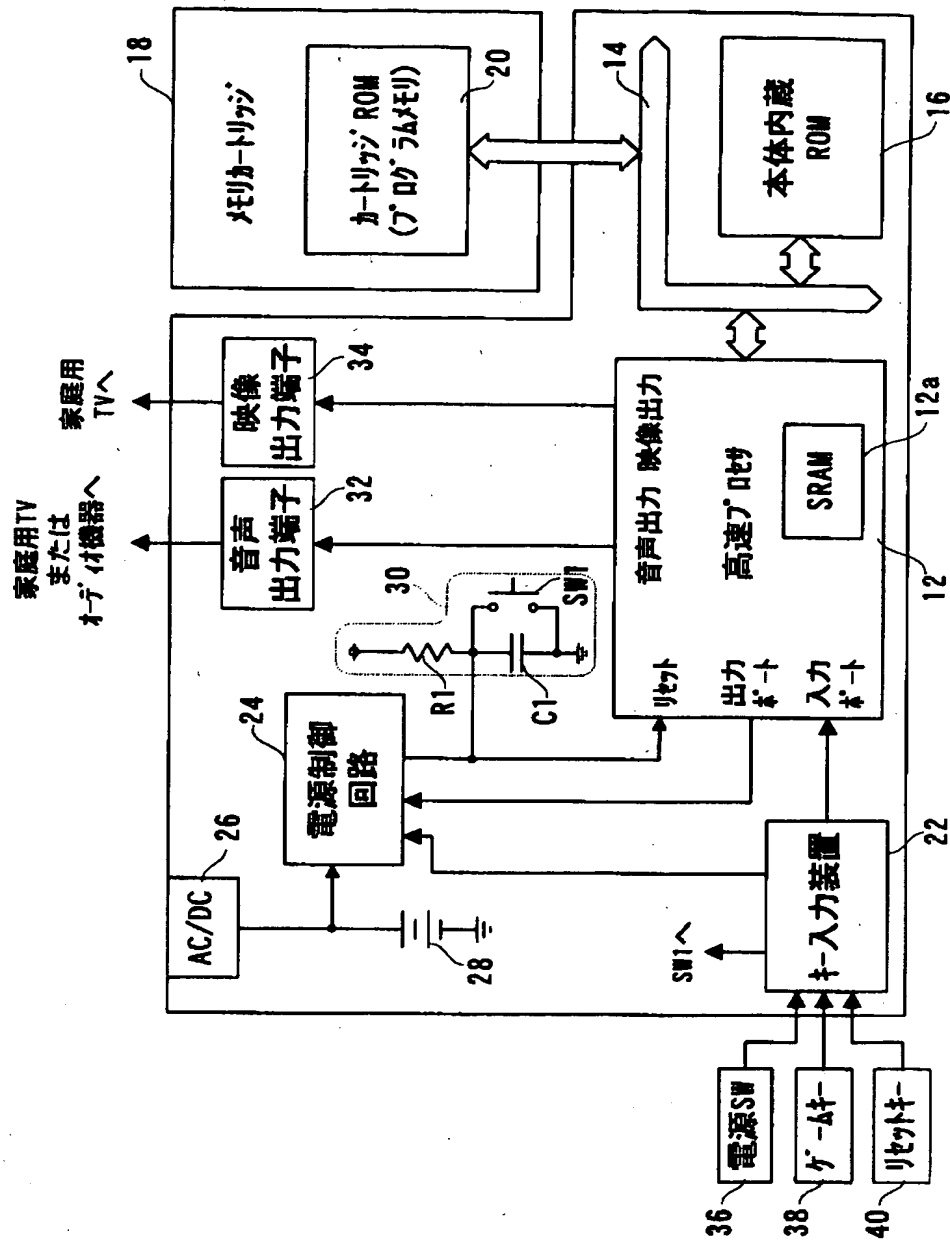
【符号の説明】

- 10…家庭用ゲーム装置
- 12…高速プロセサ
- 14…システムバス
- 16…本体内蔵ROM
- 18…メモ리카ートリッジ
- 20…カートリッジROM
- 22…キー入力装置
- 24…電源制御回路
- 30…リセット回路

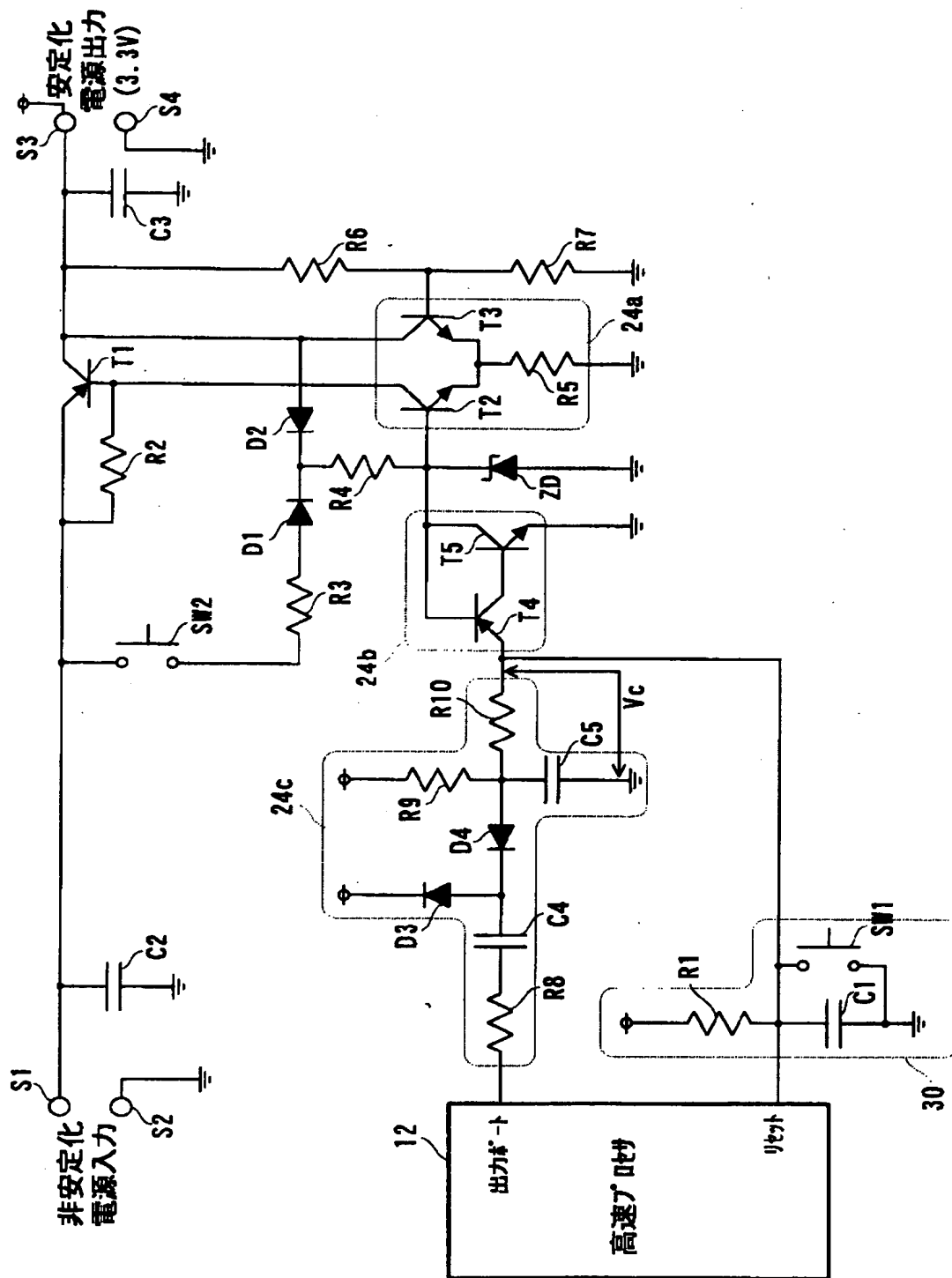
【書類名】

図面

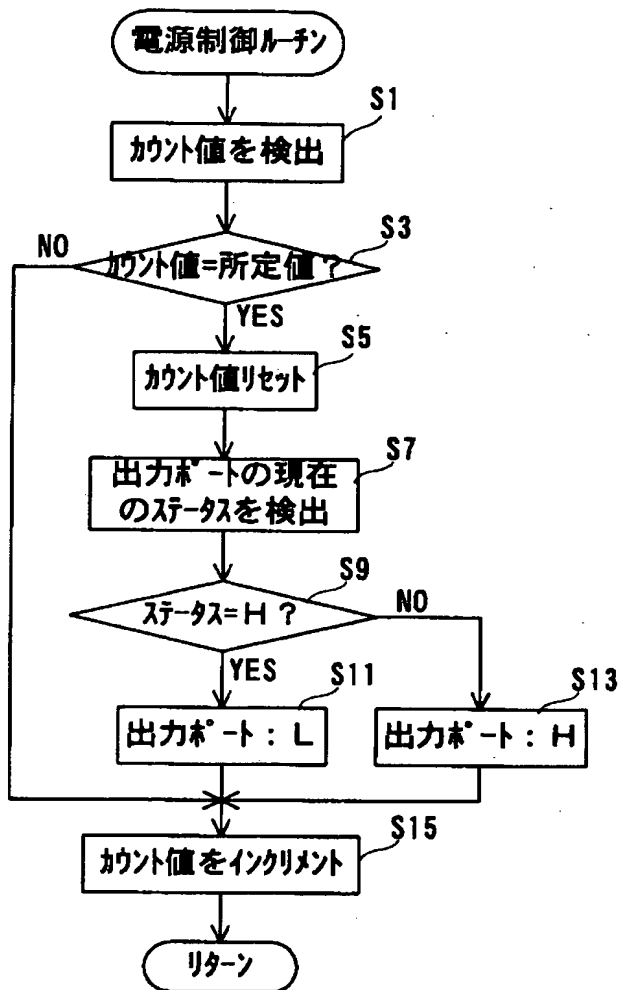
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【構成】 高速プロセサ 1 2 は、メモ리카ートリッジに記憶されたゲームプログラムを処理する。このとき、電源制御ルーチンが実行され、チャージポンプ回路 2 4 c に含まれるキャパシタ C 4 および C 5 が充放電を繰り返す。高速プロセサ 1 2 に異常が発生し、電源制御ルーチンが適切に実行されなくなると、抵抗 R 1 0 の一方端と基準電位面との電位差  $V_c$  が上昇する。この電位差  $V_c$  が閾値を超えると、電源オン／オフ制御回路 2 4 b によって安定化電圧の供給が停止され、高速プロセサ 1 2 を含むシステム全体がオフされる。

【効果】 メモ리카ートリッジの抜き取りによって高速プロセサが暴走したような場合に、内部メモリのデータが破壊されるのを防止することができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [396025861]

1. 変更年月日 1996年11月19日  
[変更理由] 新規登録  
住 所 滋賀県草津市上笠3丁目14番8号  
氏 名 新世代株式会社
2. 変更年月日 2001年 5月15日  
[変更理由] 住所変更  
住 所 滋賀県草津市東矢倉3丁目3番4号  
氏 名 新世代株式会社